

Instruction	Cycle																		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	...	55	56
L.D F6, 32(R2)	IF	IS	EX	M	WB														
L.D F2, 44(R3)		IF	IS	EX	M	WB													
MUL.D F0, F2, F4			IF	IS	S	E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	WB			
SUB.D F8, F6, F2				IF	IS	E1	E2	E3	WB										
DIV.D F10, F0, F6					IF	IS	S	S	S	S	S	S	S	S	S	E1	...	E40	WB
ADD.D F6, F8, F2						IF	IS	S	E1	E2	E3	WB							

Example assumes following latencies:

2 cycles for memory operations (1 EX, 1 MEM)

3 cycles for floating point add/subtract (ADD.D, SUB.D)

10 cycles for floating point multiply (MUL.D)

40 cycles for floating point division (DIV.D)